

## Family list

8 family members for: WO0059040  
Derived from 6 applications

[Back to WO0059040](#)

- 1 Method of mfg. thin-film transistor**  
**Inventor:** ICHIO YUDASAKA (JP); TATSUYA SHIMODA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L21/208; H01L21/316; H01L21/336 (+8)  
**Publication info:** CN1297581 A - 2001-05-30
- 2 METHOD OF MANUFACTURING THIN-FILM TRANSISTOR**  
**Inventor:** YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L29/786; G02F1/1368; H01L21/208 (+7)  
**Publication info:** DE60036449D D1 - 2007-10-31
- 3 METHOD OF MANUFACTURING THIN-FILM TRANSISTOR**  
**Inventor:** YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L21/208; H01L21/316; H01L21/336 (+8)  
**Publication info:** EP1113502 A1 - 2001-07-04  
EP1113502 A4 - 2004-09-22  
EP1113502 B1 - 2007-09-19
- 4 Method of manufacturing thin-film transistor**  
**Inventor:** YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L21/208; H01L21/316; H01L21/336 (+3)  
**Publication info:** TW475269B B - 2002-02-01
- 5 Method for manufacturing thin-film transistor**  
**Inventor:** YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L21/208; H01L21/316; H01L21/336 (+4)  
**Publication info:** US6514801 B1 - 2003-02-04
- 6 METHOD OF MANUFACTURING THIN-FILM TRANSISTOR**  
**Inventor:** YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); (+1) **Applicant:** SEIKO EPSON CORP (JP); YUDASAKA ICHIO (JP); (+2)  
**EC:** H01L21/208; H01L21/316P; (+1) **IPC:** H01L21/208; H01L21/316; H01L21/336 (+8)  
**Publication info:** WO0059040 A1 - 2000-10-05

Data supplied from the esp@cenet database - Worldwide

## METHOD OF MANUFACTURING THIN-FILM TRANSISTOR

Publication number: WO0059040

Publication date: 2000-10-05

Inventor: YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); SEKI SHUNICHI (JP)

Applicant: SEIKO EPSON CORP (JP); YUDASAKA ICHIO (JP); SHIMODA TATSUYA (JP); SEKI SHUNICHI (JP)

Classification:




- international: H01L21/208; H01L21/316; H01L21/336; H01L21/312; H01L21/02; (IPC1-7): H01L29/786; G02F1/1368; H01L21/208; H01L21/288; H01L21/316; H01L21/336

- European: H01L21/208; H01L21/316P; H01L21/336D2B





Application number: WO2000JP01985 20000329

Priority number(s): JP1999009310 19990330

Also published as:

 EP1113502 (A1)  
 US6514801 (B1)  
 EP1113502 (B1)

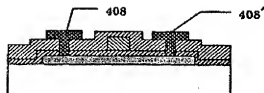
Cited documents:

 JP9045922  
 JP5144741  
 US5500537  
 JP10161140  
 JP11008395  
more >>

Report a data error here

## Abstract of WO0059040

All or part of thin film, such as silicon film, insulating film and a conducting film, which composes a thin-film transistor are formed using liquid materials. Coating of liquid material on a substrate is heat-treated to form desired thin film.



Data supplied from the esp@cenet database - Worldwide



## 特許協力条約に基づいて公開された国際出願

|   |   |   |
|---|---|---|
| (51) 国際特許分類7<br>H01L 29/786, 21/336, 21/208, 21/316,<br>21/288, G02F 1/1368   | A1  | (11) 国際公開番号 WO00/59040<br><br>(43) 国際公開日 2000年10月5日(05.10.00) |
| (21) 国際出願番号 PCT/JP00/01985<br>(22) 国際出願日 2000年3月29日(29.03.00)<br>(30) 優先権データ<br>特願平11/90310 1999年3月30日(30.03.99) JP   | (81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)<br><br>添付公開書類<br>国際調査報告書 |   |
| (71) 出願人 (米国を除くすべての指定国について)<br>セイコーエプソン株式会社<br>(SEIKO EPSON CORPORATION)[JP/JP]<br>〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)<br>(72) 発明者; および<br>(75) 発明者/出願人 (米国についてのみ)<br>湯田坂一夫(YUDASAKA, Ichio)[JP/JP]<br>下田達也(SHIMODA, Tatsuya)[JP/JP]<br>関 俊一(SEKI, Shunichi)[JP/JP]<br>〒392-8502 長野県諏訪市大和3丁目3番5号<br>セイコーエプソン株式会社内 Nagano, (JP)<br>(74) 代理人<br>鈴木喜三郎, 外(SUZUKI, Kisaburo et al.)<br>〒392-8502 長野県諏訪市大和3丁目3番5号<br>セイコーエプソン株式会社 知的財産部内 Nagano, (JP) |   |   |
| (54)Title: METHOD OF MANUFACTURING THIN-FILM TRANSISTOR   |   |   |
| (54)発明の名称 薄膜トランジスタの製造方法   |   |   |
|   |   |   |
| (57) Abstract<br>All or part of thin film, such as silicon film, insulating film and a conducting film, which composes a thin-film transistor are formed using liquid materials. Coating of liquid material on a substrate is heat-treated to form desired thin film.   |   |   |

薄膜トランジスタを構成するシリコン膜、絶縁膜、導電膜などの薄膜の全部又は一部を液体材料を用いて形成する。その主たる方法は、液体材料を基板に塗布して塗布膜を形成し、該塗布膜を熱処理することにより所望の薄膜を形成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|                 |            |                   |               |
|-----------------|------------|-------------------|---------------|
| AE アラブ首長国連邦     | DM ドミニカ    | KZ カザフスタン         | RU ロシア        |
| AG アンティグア・バーブーダ | DZ アルジェリア  | LC セントルシア         | SD スーダン       |
| AL アルバニア        | EE エストニア   | LI リヒテンシュタイン      | SE スウェーデン     |
| AM アルメニア        | ES スペイン    | LK スリ・ランカ         | SG シンガポール     |
| AT オーストリア       | FI フィンランド  | LR リベリア           | SI スロヴェニア     |
| AU オーストラリア      | FR フランス    | LS レソト            | SK スロヴァキア     |
| AZ アゼルバイジャン     | GA ガボン     | LT リトアニア          | SL シェラ・レオネ    |
| BA ボスニア・ヘルツェゴビナ | GB 英国      | LU ルクセンブルグ        | SN セネガル       |
| BB バルバドス        | GD グレナダ    | LV ラトヴィア          | SV スワジランド     |
| BE ベルギー         | GE グルジア    | MA モロッコ           | TD チャード       |
| BF ベルギー・ファン     | GH ガーナ     | MC モナコ            | TG トーゴ        |
| BG ブルガリア        | GM ガンビア    | MD モルドヴァ          | TJ タジキスタン     |
| BJ ベナン          | GN ギニア     | MG マダガスカル         | TM トルクメニスタン   |
| BR ブラジル         | GR ギリシャ    | MK マケドニア・ユーゴスラヴィア | TR トルコ        |
| BY ベラルーシ        | GW ギニア・ビサウ |                   | TT トリニダード・トバゴ |
| CA カナダ          | HR クロアチア   | ML モリタニア          | TZ タンザニア      |
| CF 中央アフリカ       | HU ハンガリー   | MN モンゴル           | UA ウクライナ      |
| CG コンゴ          | ID インドネシア  | MR モーリタニア         | UG ウガンダ       |
| CH スイス          | IE アイルランド  | MW マラウイ           | US 米国         |
| CI コートジボアール     | IL イスラエル   | MX メキシコ           | UZ ウズベキスタン    |
| CM カメルーン        | IN インド     | MZ モザンビーク         | VN ベトナム       |
| CN 中国           | IS アイスランド  | NE ニジェール          | YU ユーゴスラヴィア   |
| CR コスタリカ        | IT イタリア    | NL オランダ           | ZA 南アフリカ共和国   |
| CU キューバ         | JP 日本      | NO ノーウェー          | ZW ジンバブエ      |
| CY キプロス         | KE ケニア     | NZ ニュー・ジーランド      |               |
| CZ チェコ          | KG キルギスタン  | PL ポーランド          |               |
| DE ドイツ          | KH 韓国      | PT ポルトガル          |               |
| DK デンマーク        | KR 韓国      | RO ルーマニア          |               |

## 明 細 書

## 薄膜トランジスタの製造方法

## 技術分野

本発明は、液晶表示装置、自発光型の表示装置、及びL S Iなどに使用される薄膜トランジスタの製造方法に関し、より詳しくは薄膜トランジスタを構成する薄膜を液体材料を用いて形成することにより、薄膜トランジスタを製造する方法に関する。

## 背景技術

通常、薄膜トランジスタは半導体膜、絶縁膜、導電膜などの薄膜で構成される。液晶表示装置などではこの外に透明導電膜が使用される。これらの薄膜を機能的に分類すると、絶縁膜にはゲート絶縁膜と層間絶縁膜があり、導電膜にはゲート電極、ソース・ドレイン電極、画素電極及び配線として用いられるものがある。これらの薄膜の形成には従来、主にCVD (Chemical Vapor Deposition) 法やスパッタ法が用いられてきた。

半導体膜としては主にアモルファスシリコン膜やポリシリコン膜のシリコン膜が用いられている。従来、シリコン膜の形成方法としては、モノシランガスやジシランガスを用いた熱CVD法やプラズマCVD、光CVD等が利用されており、一般的にはポリシリコン膜の形成には熱CVD (J. Vac. Sci. Technology., 14 巻 1082 頁 (1977年) 参照) が、またアモルファスシリコンの形成にはプラズマCVD (Solid State Com., 17 巻 1193 頁 (1975年) 参照) が広く用いられている。

しかしこれらのCVD法によるシリコン膜の形成においては、プロセス面では以下の点で更なる改良が待たれていた。①気相反応を用いるため気相でシリコンの粒子が発生するため、装置の汚染や異物の発生による生産歩留まりが低い。②原料がガス状であるため、表面に凹凸のある基板上には均一の膜厚のものが得ら

れにくい。③基板加熱工程が必要であることと、膜の形成速度が遅いため生産性が低い。④プラズマCVD法においては複雑で高価な高周波発生装置や真空装置などが必要である。

また、材料面では毒性、反応性の高いガス状の水素化ケイ素を用いるため取り扱いに難点があるのみでなく、ガス状であるため密閉状の真空装置が必要であり、排気ガスの処理には除害装置が必要である。一般にこれらの装置は大掛かりなもので装置自体が高価であるのみでなく、真空系やプラズマ系に多大のエネルギーを消費するため製品のコスト高に繋がっている。

近年、これに対して真空系を使わずに液体状の水素化ケイ素を塗布する方法が提案されている。特開平1—29661号公報にはガス状の原料を冷却した基板上に液体化して吸着させ、化学的に活性な原子状の水素と反応させてシリコン系の薄膜を形成する方法が開示されているが、以下のような問題点がある。①原料の水素化ケイ素を気化と冷却を続けて行うため複雑な装置が必要になるのみでなく、膜厚の制御が困難である。

また、特開平7—267621号公報には、低分子量の液体状の水素化ケイ素を基板に塗布する方法が開示されているが、この方法は系が不安定なために取り扱いに難点があり、大面積基板に応用する場合に均一膜厚を得るのが困難である。

一方、固体状の水素化ケイ素ポリマーの例が英国特許GB—2077710Aに報告されているが、溶媒に不溶なためコーティングによる膜を形成することができない。

薄膜トランジスタに使用されるゲート絶縁膜や層間絶縁膜用の絶縁膜とゲート電極やソース、ドレインなどの電極用導電膜の形成にも、前述したシリコン膜の形成と同様の熱CVD法やプラズマCVD法、スパッタ法が広く用いられている。薄膜トランジスタに使用される導電膜は、ゲート電極、ソース・ドレイン電極、それらの電極間を接続する配線や電源配線などに使われ、Al、Cu、Cr、Taなどの金属膜や金属シリサイド膜が導電膜として用いられる。前記金属膜やシリサイド膜の形成方法には従来スパッタ法が広く用いられている。液晶表示装置に使われる薄膜トランジスタには上記導電膜の外に透明導電膜が必要になるが、通常、透

明導電膜としてはITO膜が使用され、前記金属膜などと同様スパッタ法により形成される。

前述のCVD法には次の4つの特徴があり、これらの特徴は絶縁膜形成においてもシリコン膜の形成と同様である。①気相反応を用いるため気相でシリコンの粒子が発生するため、装置の汚染や異物の発生による生産歩留まりが低い。②原料がガス状であるため、表面に凹凸のある基板には均一膜厚のものが得られにくい。③基板加熱工程が必要であることと、膜の形成速度が遅いため生産性が低い。④プラズマCVD法においては複雑で高価な高周波発生装置や真空装置などが必要である。

主に金属膜からなる導電膜と透明導電膜の形成に利用されるスパッタ法も、真空装置が必要であり、真空ポンプの外にターゲット材、スパッタ用の電源、基板加熱装置なども必要になる。スパッタ法はCVD法に比べて毒性や可燃性を有するガスを使用することは少ないが、成膜対象となる基板以外に基板がセットされるチャンバの内壁にも成膜され、内壁に付着した成膜物質が剥がれて成膜中での異物発生となり、製品の歩留まり低下の原因となる点はCVD法と同様である。また、スパッタ法でも基板表面の凹凸部での膜厚の不均一性、生産性の低さ、真空装置が必要なため装置が大がかりで高価であることなどCVD法と共通の特徴がある。

従って、従来のCVD法やスパッタ法で薄膜を形成する方法は、生産性が低い、欠陥が多く歩留まりが悪い、表面の凹凸部で膜厚が不均一となる、配線パターンでは段差部で断線する、などの課題があった。これらの課題は前記方法で製造される薄膜トランジスタのコストアップという課題となる。CVD法やスパッタ法におけるこれらの課題は、真空装置を用いること、基板加熱を必要とすること、プラズマなどの電源が必要なこと、基板以外の装置内壁など不要な部分にも成膜されその膜が剥がれて異物欠陥の原因となることなど、これらの成膜方法が本質的に有する特徴に起因するものであった。また、それらの本質的な特徴は、装置が大がかりなものとなるため装置のコスト高い、装置のランニングコストが高いという課題も有している。

### 発明の開示

本発明では、従来の上記成膜法と本質的に異なる新しい方法により薄膜トランジスタを製造することを提案する。薄膜トランジスタはシリコン膜、絶縁膜及び導電膜などによる薄膜で形成されるが、これらの薄膜は従来CVD法やスパッタ法で成膜されていたが、本発明では液体材料を基板に塗布して塗布膜を形成し、該塗布膜を熱処理することにより所望の薄膜を形成する。

本発明は、従来の成膜方法が本質的に内在している前記課題を解決するものであり、小型で安価な装置により、生産性が高く、欠陥が少なく、歩留まりが高く、段差部で断線などがなく、低コストで薄膜形成でき、従って低コストで薄膜トランジスタを製造する方法を提供することを課題とするものである。

本発明は、上記従来の課題を解決するために薄膜トランジスタを構成するシリコン膜、絶縁膜、導電膜などの薄膜の全部又は一部を液体材料を用いて形成する。その主たる方法は、液体材料を基板に塗布して塗布膜を形成し、該塗布膜を熱処理することにより所望の薄膜を形成するものである。

本発明の第1の薄膜トランジスタの製造方法は、薄膜トランジスタを構成するシリコン膜の形成において、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程と、を備えることを特徴とする。

上記第1の構成の一態様において、前記熱処理工程は、前記塗布された液体材料を非晶質シリコン膜とする第1の熱処理工程と、該非晶質シリコン膜を多結晶シリコン膜にする第2の熱処理工程からなることが望ましい。

また、上記第1の構成において、前記シリコン原子を含む液体材料は、一般式  $\text{Si}_n\text{X}_m$ （ここで、 $n$ は5以上の整数を表し $m$ は $n$ または $2n-2$ または $2n$ の整数を表し、 $X$ は水素原子および／またはハロゲン原子を表す）で表される環系を有するケイ素化合物を含有する溶液であることを特徴とする。

上記第1の構成の一態様において、前記一般式  $\text{Si}_n\text{X}_m$ （ここで、 $n$ は5以上の整数を表し $m$ は $n$ または $2n-2$ または $2n$ の整数を表し、 $X$ は水素原子および／またはハロゲン原子を表す）で表される環系を有するケイ素化合物は、 $n$ が



5以上で20以下の整数であることが望ましい。

また、上記構成において、前記一般式 $Si_nX_m$ で表される環系を有するケイ素化合物を含有する溶液は、溶質濃度が1～80重量%であることが望ましい。

また、上記構成において、前記一般式 $Si_nX_m$ で表される環系を有するケイ素化合物を含有する溶液は、粘度が1～100mPa・sであることが望ましい。

また、上記構成において、前記一般式 $Si_nX_m$ で表される環系を有するケイ素化合物を含有する溶液は、室温における蒸気圧が0.001～200mmHgであることを望ましい。

また、上記構成において、前記一般式 $Si_nX_m$ で表される環系を有するケイ素化合物を含有する溶液は、溶媒が炭化水素系溶媒であることが望ましい。

本発明の第2の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程とを有し、且つゲート絶縁膜や層間絶縁膜の形成において、基板にポリシラザンを塗布する工程と、次に熱処理によりポリシラザンを $SiO_2$ 膜とする工程と、を含むことを特徴とする。

本発明の第3の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程を有し、且つゲート電極乃至ソース・ドレイン電極の形成において、金属含有の液体材料を基板に塗布して塗布膜を形成する工程と、次に熱処理により該塗布膜を導電膜とする工程と、該導電膜をパターニングする工程と、を含むことを特徴とする。

上記第3の構成において、ゲート電極乃至ソース・ドレイン電極の形成は、基板上にメッキ法により導電膜を形成し、次に該導電膜をパターニングする工程と、を含むことが好ましい。

上記第3の構成において、ゲート電極乃至ソース・ドレイン電極の形成は、インジウムとスズを含む有機化合物を塗布して塗布膜を形成する工程と、該塗布膜

をITO (Indium-Tin-Oxide) 膜にする熱処理工程からなることが好ましい。

本発明の第4の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程を有し、且つ透明導電膜の形成において、インジウムとスズを含む有機化合物を塗布して塗布膜を形成する工程と、該塗布膜をITO (Indium-Tin-Oxide) 膜にする熱処理工程からなることを特徴とする。

本発明の第5の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、絶縁基板または絶縁膜上にシリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜にする熱処理工程と、次に該シリコン膜をパターニングしてソース、ドレイン及びチャネルとなる島領域を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、ソース、ドレイン領域に不純物を導入する工程と、層間絶縁膜を形成する工程と、層間絶縁膜にコンタクトホールを開口する工程と、電極及び配線を形成する工程と、を備えることを特徴とする。

本発明の第6の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、絶縁基板または絶縁膜上に、ソース、ドレイン領域となる半導体層を形成する工程と、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜にする熱処理工程と、該シリコン膜をパターニングして前記ソース、ドレイン領域と接続するチャネル領域となる島領域を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、層間絶縁膜を形成する工程と、層間絶縁膜にコンタクトホールを開口する工程と、電極及び配線を形成する工程と、を備えることを特徴とする。

本発明の第7の薄膜トランジスタの製造方法は、絶縁基板または絶縁膜上に形成される薄膜トランジスタの製造方法において、絶縁基板または絶縁膜上に、ゲート電極を形成する工程と、ゲート絶縁膜を形成する工程と、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜に

する熱処理工程と、ソース、ドレイン領域となる半導体層を形成する工程と、電極及び配線を形成する工程と、を備えることを特徴とする。

本発明の第8は、シリコン膜、絶縁膜および導電膜の各薄膜を有する薄膜トランジスタの製造方法において、該総ての薄膜は液体材料を用いて形成され、且つ該薄膜の形成において真空装置を用いない方法で形成されることを特徴とする方法である。

また、本発明の別の構成は、シリコン膜、ゲート絶縁膜、ゲート電極用導電膜、層間絶縁膜、電極及び配線用導電膜、透明導電膜の各薄膜を有する薄膜トランジスタの製造方法において、該総ての薄膜は液体材料を用いて形成され、且つ該薄膜の形成において真空装置を用いない方法で形成されることを特徴とする方法である。

#### 図面の簡単な説明

第1図は、液体材料を用いた薄膜形成工程を示す図である。

第2図は、液体材料を用いた塗布膜の形成を示す図である。

第3図は、従来のCVD法による薄膜形成の工程を示す図である。

第4図は、本発明の第1の実施例にかかるコブレナ型薄膜トランジスタの製造工程を示す断面図である。

第5図は、本発明の第2の実施例にかかるスタガ型薄膜トランジスタの製造工程を示す断面図である。

第6図は、本発明の第3の実施例にかかる逆スタガ型薄膜トランジスタの製造工程を示す断面図である。

#### 発明を実施するための最良の形態

薄膜トランジスタを構成する薄膜にはシリコン膜、絶縁膜、導電膜があり、液晶表示装置などを用いられる薄膜トランジスタには更に透明導電膜が薄膜として使用される。従来、これらの薄膜は主にCVD装置やスパッタ装置により形成されていた。従来のCVD法やスパッタ法で薄膜を形成する方法は、生産性が

低い、欠陥が多く歩留まりが悪い、表面の凹凸部で膜厚が不均一となる、配線パターンでは段差部で断線する、という課題があった。これらの課題は前記方法で製造される薄膜トランジスタのコストアップという課題となる。CVD法やスパッタ法におけるこれらの課題は、真空装置を用いること、基板加熱を必要とすること、プラズマなどを発生させるための電源が必要なこと、基板以外の装置内壁など不要な部分にも成膜されその膜が剥がれて異物欠陥の原因となることなど、これらの成膜方法が本質的に有する特徴に起因するものであった。また、それらの本質的な特徴は、装置が大がかりなものとなるため装置のコスト高い、装置のランニングコストが高いという課題も有している。

第3図に従来の一般的なCVD法による成膜の標準的な工程を示す。CVD装置にセットされた基板は、ロードロック室に移動された後真空引きされ、次に加熱チャンバに移動された後加熱され、次にプロセスチャンバに移動されて成膜される。プロセスチャンバには基板温度維持のための加熱機構があり、成膜に必要なプロセスガスの導入が行われ、圧力が安定した後に高周波が印加され導入したガスがプラズマ化され成膜される。成膜後は残留のプロセスガスがバージされ、基板がロードロック室に移動されベントされて大気中に取り出される。CVD法で用いられるプロセスガスには毒性や可燃性を有するガスが多いため、CVD装置には安全管理上それらのガスの漏洩検知器や排気ガスを無害化するための除害装置も必要になる。また、前記バージ工程においては、毒性や可燃性を有するガスを十分バージする必要がある、成膜工程を完了するのに時間がかかる。

スパッタ法においても第3図に示すCVD法とほぼ同様な処理工程を経て成膜される。CVD法と異なる点は、使用するガスが主にArなどの不活性ガスで毒性や可燃性を有するガスを使うことが少ないことと、スパタリング用のプラズマ電源に高周波ではなくDC電源が用いられることが多いことである。これらの相違は薄膜を形成する工程全体や装置構成の全体的比較でみると僅かな相違であり、装置が大がかりであり、生産性が低いことなどスパッタ法もCVD法と同様な課題を有している。

これに対し、本発明では、前記薄膜を液体材料により形成する。その主たる方

法は、液体材料の基板上への塗布膜形成と、該塗布膜を所望の機能膜にするための熱処理工程からなる。塗布膜の形成には、スピンコート法、ロールコート法、カーテンコート法、ディップコート法、スプレー法、インクジェット法などがあり、これらの方法に使用される塗布装置の基本構成は基板を保持するステージまたはホルダと該基板上に液体を塗布するための機構であるから、該塗布装置の構成はいたって簡単である。塗布膜を機能膜に変成するための熱処理工程及び／または光照射工程で使用される装置には、オープン、ベーク炉、アニール炉などの熱処理装置やハロゲンランプやUVランプなどを光源とする光照射装置があるが、これらの装置も構造は簡単である。

第1図は本発明における液体材料から薄膜を形成する方法の一態様を示す図である。塗布膜形成と薄膜形成において、使用する液体材料によっては雰囲気制御が必要になるが、基本的には大気圧下で行われる。第3図に示す従来のCVD法やスパッタ法による成膜工程と比較すると、本発明による薄膜形成の方法が如何に工程が短いかを理解できるはずである。また、例えばスピンコート法による塗布膜の形成装置は第2図に示すように、回転可能なステージ201と基板202上に液体材料203を滴下する機構があればよい。加熱装置は基板がセットされるステージやホルダと加熱機構から構成される。従って、本発明で使用される装置が従来のCVD装置やスパッタ装置に比べて、小型で安価な装置であることが分かるはずである。

このように本発明によれば、従来の成膜方法が本質的に内在している前記課題を解決するものであり、小型で安価な装置により、生産性が高く、欠陥が少なく、歩留まりが高く、段差部の被覆性がよく、低コストで薄膜形成でき、低コストで薄膜トランジスタを製造することが可能になる。

本発明における薄膜トランジスタの製造方法は、上述したように薄膜トランジスタを構成するシリコン膜、絶縁膜、導電膜の各薄膜の全部または一部の薄膜を液体材料を用いて形成する。基本的な形成工程は、液体材料を基板に塗布して塗布膜を形成する工程と、次に熱処理により該塗布膜を薄膜とする工程からなるが、液体材料中に基板を浸漬することにより、基板表面に所望の薄膜を形成する工程

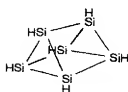
からなる方法も含まれる。基板上に塗布膜を形成する方法は、スピンコート法、ロールコート法、カーテンコート法、ディップコート法、スプレー法、インクジェット法等の方法を用いることができる。

シリコン膜を形成するために本発明において使用する液体材料が含むケイ素化合物は、一般式  $\text{Si}_n\text{X}_m$  (ここで、 $n$  は 5 以上の整数を表し  $m$  は  $n$  または  $2n-2$  または  $2n$  の整数を表し、 $X$  は水素原子および/またはハロゲン原子を表す) で表される環系を有するケイ素化合物である。

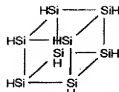
特に、上記一般式  $\text{Si}_n\text{X}_m$  のケイ素化合物として、 $n$  が 5 以上 20 以下であるものが好ましく、 $n$  が 5 又は 6 であるものがより好ましい。 $n$  が 5 より小さい場合、ケイ素化合物自体が環構造による歪みにより不安定となるため取り扱いが難しくなり、また  $n$  が 20 より大きい場合、ケイ素化合物の凝集力に起因して溶液中での溶解性が低下し、実際に使用可能な溶媒の選択性が狭くなる。

上記一般式のケイ素化合物の具体例としては、1 個の環系を有するものとしてシクロペンタシラン、シリルシクロペンタシラン、シクロヘキサシラン、シリルシクロヘキサシラン、シクロヘプタシランが、具体的には 2 個の環系を有するものとして 1、1'-ビスシクロブタシラン、1、1'-ビスシクロペンタシラン、1、1'-ビスシクロヘキサシラン、1、1'-ビスシクロヘプタシラン、1、1'-シクロブタシリルシクロペンタシラン、1、1'-シクロブタシリルシクロヘキサシラン、1、1'-シクロブタシリルシクロヘプタシラン、1、1'-シクロペンタシリルシクロヘキサシラン、1、1'-シクロペンタシリルシクロヘプタシラン、1、1'-シクロヘキサシリルシクロヘプタシラン、スピロ [2、2] ペンタシラン、スピロ [3、3] ヘプタシラン、スピロ [4、4] ノナシラン、スピロ [4、5] デカシラン、スピロ [4、6] ウンデカシラン、スピロ [5、5] ウンデカシラン、スピロ [5、6] ドデカシラン、スピロ [6、6] トリデカシランが挙げられる。

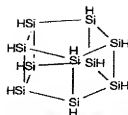
また、多環系のものでして下記式の化合物 1 ~ 化合物 5 の水素化ケイ素化合物を挙げることができる。



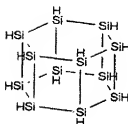
化合物 1



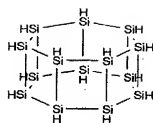
化合物 2



化合物 3



化合物 4



化合物 5

また、これらの水素化ケイ素化合物の他にこれらの骨格の水素原子を部分的に  $\text{SiH}_3$  基やハロゲン原子に置換したケイ素化合物を挙げることができる。これらは2種以上を混合して使用することもできる。これらの内、溶媒への溶解性の点で1、1'-ビスシクロペンタシラン、1、1'-ビスシクロヘキサシラン、スピロ〔4、4〕ノナシラン、スピロ〔4、5〕デカシラン、スピロ〔5、5〕ウンデカシラン、スピロ〔5、6〕ドデカシランおよびこれらの骨格に  $\text{SiH}_3$  基を有するケイ素化合物が特に好ましい。

また、本発明におけるシリコン膜形成において使用されるケイ素化合物は、上記一般式  $\text{Si}_n\text{X}_m$  で表される環系を有するケイ素化合物を必須成分とする溶液を用いるが、当該溶液に、 $n$ -ペンタシラン、 $n$ -ヘキサシラン、 $n$ -ヘプタシランなどのケイ素化合物が含まれていてもよい。

また、本発明で使用する上記ケイ素化合物は、通常それぞれの構造単位を有するモノマーを原料として、例えば、以下の方法により製造することができる。

(a) アルカリ金属の存在下にハロシラン類を脱ハロゲン縮重合させる方法 (いわゆる「キッピング法」、J. Am. Chem. Soc., 110, 124(1988)、

Macromolecules, 23, 3423(1990)) ;

(b) 電極還元によりハロシラン類を脱ハロゲン縮重合させる方法

(J. Chem. Soc., Chem. Commun., 1161(1990)、

J. Chem. Soc., Chem. Commun., 897(1992)) ;

(c) 金属触媒の存在下にヒドロシラン類を脱水素縮重合させる方法 (特開平 4-334551号公報) ;

(d) ビフェニルなどで架橋されたジシレンのアニオン重合による方法 (Macromolecules, 23, 4494(1990)) ;

(e) フェニル基やアルキル基で置換された環状ケイ素化合物を上記の方法で合成した後、公知の方法 (例えば、Z. anorg. allg. Chem., 459, 123-130 (1979) など) によりヒドロ置換体やハロゲン置換体などに誘導することもできる。これらのハロゲン化シクロシラン化合物は公知の方法 (例えば、E. Henggeら Mh. Chem. 第106巻、503頁、1975年参照)、(E. Henggeら Z. Anorg. Allg. Chem. 第621巻、1517頁、1995年参照)、(P. Boudjoukら J. Chem. Soc., Chem. Commun. 777頁、1984年) で合成することができ、合成条件を最適化することによりクロル体、水素化体および部分クロル化体を使用することができる。

本発明の方法では、上記一般式  $Si_nX_m$  のケイ素化合物を溶媒に溶解した溶液を基板に塗布する。本発明で、上記溶液に使用する溶媒は通常、室温での蒸気圧が 0.001~200 mmHg のものを用いる。蒸気圧が 200 mmHg より高い場合には、コーティングで塗膜を形成する場合に溶媒が先に蒸発してしまい良好な塗膜を形成することが困難となることがある。一方、蒸気圧が 0.001 mmHg より低い溶媒の場合、乾燥が遅くなりケイ素化合物のコーティング膜中に溶媒が残留し易くなり、後工程の熱および/または光処理後にも良質のシリコン膜が得られ難いことがある。

本発明で使用する溶媒としては、ケイ素化合物を溶解し溶媒と反応しないもの



であれば特に限定されないが、具体例として、*n*-ヘキサン、*n*-ヘプタン、*n*-オクタン、*n*-デカン、ジシクロペンタン、ベンゼン、トルエン、キシレン、デュレン、インデン、テトラヒドロナフタレン、デカヒドロナフタレン、スクワランなどの炭化水素系溶媒の他、ジプロピルエーテル、エチレングリコールジメチルエーテル、エチレングリコールジエチルエーテル、エチレングリコールメチルエチルエーテル、ジエチレングリコールジメチルエーテル、ジエチレングリコールジエチルエーテル、ジエチレングリコールメチルエチルエーテル、テトラヒドロフラン、テトラヒドロピラン、1, 2-ジメトキシエタン、ビス(2-メトキシエチル)エーテル、*p*-ジオキサンなどのエーテル系溶媒、さらにプロピレンカーボネート、 $\gamma$ -ブチロラクトン、*N*-メチル-2-ピロリドン、ジメチルホルムアミド、アセトニトリル、ジメチルスルホキシド、クロロホルムなどの極性溶媒を挙げることができる。これらのうち、ケイ素化合物及び変性ケイ素化合物との溶解性と該溶液の安定性の点で炭化水素系溶媒、エーテル系溶媒が好ましく、さらに好ましい溶媒としては炭化水素系溶媒を挙げることができる。これらの溶媒は、単独でも、或いは2種以上の混合物としても使用できる。特に炭化水素系溶媒は、ケイ素化合物の溶解性を向上させ、後述する熱処理や光処理時のケイ素化合物の残留を抑制する観点好適である。

本発明におけるシリコン膜の形成は、一般に行われているCVD法のようにガスを供給するのではなく、かかるケイ素化合物を溶解した溶液を基板に塗布した後、溶媒を乾燥させケイ素化合物の膜を形成し、該ケイ素化合物の膜を熱分解および/または光分解して金属シリコン膜に変換するものである。ケイ素化合物を含有する溶液の塗布の方法としてはスピンコート法、ロールコート法、カーテンコート法、ディップコート法、スプレー法、インクジェット法等の方法を用いることができる。塗布は一般には室温以上の温度で行われる。室温以下の温度ではケイ素化合物の溶解性が低下し一部析出する場合がある。また塗布する場合の雰囲気は、窒素、ヘリウム、アルゴンなどの不活性ガス中で行なうことが好ましい。さらに必要に応じて酸素などの還元性ガスを混入したものが好ましい。

スピンコート法を用いる場合のスピンナーの回転数は形成する薄膜の厚み、塗布

溶液組成により決まるが一般には100～5000rpm、好ましくは300～3000rpmが用いられる。塗布した後は溶媒を除去するために加熱処理を行う。加熱する温度は使用する溶媒の種類、沸点（蒸気圧）により異なるが通常100℃～200℃である。雰囲気は上記塗布工程と同じ窒素、ヘリウム、アルゴンなどの不活性ガス中で行なうことが好ましい。

本発明では、上記ケイ素化合物を熱及び／又は光処理によってシリコン膜に変換する。本発明において得られるシリコン膜はアモルファス状あるいは多結晶状であるが、熱処理の場合には一般に到達温度が約550℃以下の温度ではアモルファス状、それ以上の温度では多結晶状のシリコン膜が得られる。アモルファス状のシリコン膜を得たい場合は、好ましくは300℃～550℃、より好ましくは350℃～500℃で熱処理がなされる。到達温度が300℃未満の場合は、ケイ素化合物の熱分解が十分に進行せず、十分な厚さのシリコン膜を形成できない場合がある。上記熱処理を行う場合の雰囲気は窒素、ヘリウム、アルゴンなどの不活性ガス、もしくは水素などの還元性ガスを混入したものが好ましい。多結晶状のシリコン膜を得たい場合は、上記で得られたアモルファス状シリコン膜にレーザーを照射して多結晶シリコン膜に変換することができる。上記レーザーを照射する場合の雰囲気は窒素、ヘリウム、アルゴンなどの不活性ガス、もしくはこれらの不活性ガスに水素などの還元性ガスを混入したもの等酸素を含まない雰囲気とすることが好ましい。

一方、光処理については、ケイ素化合物溶液の塗膜に対し、その溶媒除去する前及び／又は溶媒除去後に、不活性ガス雰囲気中で行うことができる。溶媒に可溶なケイ素化合物は当該光処理による反応により溶媒不溶性の強靱な塗膜に変化するだけでなく、光処理後、又はそれと同時に熱処理を行うことにより光学的電気特性に優れたシリコン膜に変換される。

本発明において、ケイ素化合物をシリコン膜に変換する際の光処理に使用する光源としては、低圧あるいは高圧の水銀ランプ、重水素ランプあるいはアルゴン、クリプトン、キセノン等の希ガスの放電光の他、YAGレーザー、アルゴンレーザー、炭酸ガスレーザー、XeF、XeCl、XeBr、KrF、KrCl、A

rF、ArClなどのエキシマレーザーなどを光源として使用することができる。これらの光源は一般には、10～5000Wの出力のものが用いられるが、通常100～1000Wで十分である。これらの光源の波長はケイ素化合物が多少でも吸収するものであれば特に限定されないが通常170nm～600nmであり、特に吸収効率の点から170nm～380nmが特に好ましい。また多結晶シリコン膜への変換効率の点でレーザー光の使用が特に好ましい。これらの光処理時の温度は通常室温～500℃であり、得られるシリコン膜の半導体特性に応じて適宜選ぶことができる。

本発明の上記ケイ素化合物溶液の濃度は1～80重量%程度であり、所望のシリコン膜厚に応じて調製することができる。80%を超えると析出しやすく均一な塗布膜が得られない。

これらの溶液は目的の機能を損なわない範囲で必要に応じてフッ素系、シリコン系、ノニオン系などの表面張力調節材を微量添加することができる。このノニオン系表面張力調節材は、溶液の塗布対象物への濡れ性を良好化し、塗布した膜のレベルリング性を改良し、塗膜のぶつぶつの発生、ゆず肌の発生などを防止に役立つものである。

かかる非イオン性界面活性剤としては、フッ化アルキル基もしくはパーフルオロアルキル基を有するフッ素系界面活性剤、又はオキシアルキル基を有するポリエーテルアルキル系界面活性剤を挙げることができる。前記フッ素系界面活性剤としては、 $C_9F_{19}CONHC_{12}H_{25}$ 、 $C_8F_{17}SO_2NH-(C_2H_4O)_6H$ 、 $C_9F_{17}O$ （ブルロニックL-35） $C_9F_{17}$ 、 $C_9F_{17}O$ （ブルロニックP-84） $C_9F_{17}$ 、 $C_9F_7O$ （テトロニック-704） $(C_9F_{17})_2$ などを挙げることができる。（ここで、ブルロニックL-35：旭電化工業（株）製、ポリオキシプロピレン-ポリオキシエチレンブロック共重合体、平均分子量1,900；ブルロニックP-84：旭電化工業（株）製、ポリオキシプロピレン-ポリオキシエチレンブロック共重合体、平均分子量4,200；テトロニック-704：旭電化工業（株）製、N,N,N',N'-テトラキス（ポリオキシプロピレン-ポリオキシエチレンブロック共重合体）、平均分子量5,000）などを挙げ

ることができる。

これらのフッ素系界面活性剤の具体例としては、エフトップEF301、同EF303、同EF352（新秋田化成（株）製）、メガファックF171、同F173（大日本インキ（株）製）、アサヒガードAG710（旭硝子（株）製）、フロラードFC-170C、同FC430、同FC431（住友スリーエム（株）製）、サーフロンS-382、同SC101、同SC102、同SC103、同SC104、同SC105、同SC106（旭硝子（株）製）、BM-1000、同1100（B. M-Chemie社製）、Schsego-Fluor（Schwegmann社製）などを挙げるができる。

又ポリエーテルアルキル系界面活性剤としては、ポリオキシエチレンアルキルエーテル、ポリオキシエチレンアリルエーテル、ポリオキシエチレンアルキルフェノールエーテル、ポリオキシエチレン脂肪酸エステル、ソルビタン脂肪酸エステル、ポリオキシエチレンソルビタン脂肪酸エステル、オキシエチレンオキシプロピレンブロックポリマーなどを挙げることができる。

これらのポリエーテルアルキル系界面活性剤の具体例としては、エマルゲン105、同430、同810、同920、レオドールSP-40S、同TW-L120、エマノール3199、同4110、エキセルP-40S、ブリッジ30、同52、同72、同92、アラッセル20、エマゾール320、ツィーン20、同60、マージ45（いずれも（株）花王製）、ノニボール55（三洋化成（株）製）などを挙げることができる。上記以外の非イオン性界面活性剤としては、例えばポリオキシエチレン脂肪酸エステル、ポリオキシエチレンソルビタン脂肪酸エステル、ポリアルキレンオキサイドブロック共重合体などがあり、具体的にはケミスタット2500（三洋化成工業（株）製）、SN-EX9228（サンノブコ（株）製）、ノナール530（東邦化学工業（株）製）などを挙げるができる。この非イオン性界面活性剤の使用量は、（a）+（b）成分100重量部に対して、好ましくは0.01～10重量部、特に好ましくは0.1～5重量部である。0.01重量部未満では非イオン性界面活性剤の効果を発揮できず、一方、10重量部を超えると得られる組成物が発泡し易くなると共に、熱変色を

起こす場合があり好ましくない。

かくして調製したケイ素化合物溶液の粘度は通常  $1 \sim 100 \text{ mPa} \cdot \text{s}$  の範囲のものであり塗布装置や目的の塗布膜厚に応じて適宜選択することができる。 $100 \text{ mPa} \cdot \text{s}$  を超えると均一な塗布膜を得ることが困難になる。

使用する基板については特に限定されないが、通常の石英、ホウ珪酸ガラス、ソーダガラスの他、ITOなどの透明電極、金、銀、銅、ニッケル、チタン、アルミニウム、タングステンなどの金属基板、さらにこれらの金属を表面に有するガラス、プラスチック基板などを使用することができる。

本発明では絶縁膜の形成をできるだけ液体材料を用いる方法で行う。絶縁膜の形成に使用される液体材料としては、ポリシラザンやSOGがある。ポリシラザンはSi-N-Si結合を有し、SOGはSi-O-Si結合を有し、両者とも常温で液体であり、スピンコート法、ロールコート法、カーテンコート法、ディップコート法、スプレー法、インクジェット法等の方法で基板上に塗布膜を形成することができる。塗布膜の形成方法は絶縁膜の厚さや膜厚の均一性、基板のサイズや形状などによって選択できる。また、塗布膜を形成した後の熱処理温度は、一般的には高い程良い膜質の絶縁膜が得られるが、使用する基板の耐熱性や半導体装置のプロセス条件を考慮して適当な温度で行われる。熱処理温度が $300$ 乃至 $500^\circ\text{C}$ 程度の比較的低温の場合は、ポリシラザンを用いた方がSOGより膜質のよい絶縁膜を形成することができる。また、液体材料中に基板を浸漬することにより基板表面に絶縁膜を形成する方法もある。例えば、特開平5-259154に開示されているようにケイ弗化水素酸の水溶液中に基板を浸漬し、該水溶液にホウ酸を添加することにより、基板上に $\text{SiO}_2$ 膜を形成することもできる。前記熱処理温度は薄膜半導体装置の製造において、ゲート絶縁膜のようにその膜質が薄膜トランジスタの性能を著しく左右する場合には、従来の真空装置を用いた成膜方法や熱酸化により形成することもできる。

本発明では導電膜の形成をできるだけ液体材料を用いる方法で行う。液体材料を用いた導電膜の形成には、液体材料をスピンコート法などにより基板上に塗布膜を形成する工程と、該塗布膜を熱処理して導電膜とする工程からなる方法と、

液体材料中に基板を浸漬して基板表面に導電膜を形成する方法がある。前記塗布膜を用いる方法で使用される液体材料には、金属微粒子を有機溶液中に分散した懸濁液や金属を含む有機酸を溶剤に溶かした溶液が利用できる。懸濁液では貴金属の微粒子を用いたものが知られており、AuやAgなどの金属膜を形成できる。金属を含む有機酸溶液にはInとSnを含むものがあり、ITO膜を形成することができる。また、浸漬法による成膜では所謂メッキ法が利用でき、Ni、Cu、Auなどの金属膜を形成することができる。導電膜の形成において、下層の配線や電極あるいは薄膜トランジスタのソース・ドレイン領域との接触抵抗を確保するために、従来の形成方法であるスパッタ法を用いたり、スパッタ法と前記液体材料を用いる方法と組み合わせて導電膜を形成することもできる。

以下、本発明を実施例に沿って詳細に説明する。

#### (実施例1)

本発明の第1の実施例を第4図に示す。第4図は本発明によるコブレナ型薄膜トランジスタの製造方法をその工程に沿って示す。

第4図においてガラス基板401上にケイ素化合物としてシクロペンタシランとシクロヘキサシランの混合物をベンゼンを溶媒とする5%溶液を用いて、回転数500rpmで塗布膜を形成した。次に100℃30分の熱処理を行い塗布膜中の溶剤を除去したのち、400℃30分の熱処理を行いシリコンを含有した膜厚50nmの薄膜を形成する。次に、前記薄膜にエネルギー密度250mJ/cm<sup>2</sup>でレーザ照射を行い、多結晶シリコン膜を形成した。前記塗布膜の形成からレーザ照射までの工程は、酸素濃度が1ppm以下に保たれたArガス雰囲気で行った。前記塗布膜の形成及び熱処理は雰囲気制御されたグローブボックス内で行い、前記レーザ照射は、前記グローブボックスと同じ雰囲気を有し石英ガラスの窓を具備する密閉容器に入れられたガラス基板に対して、該石英ガラスの窓を通して行った。ガラス基板はレーザ照射後大気中に取り出し、次にフォトリソグラフィによりソース、ドレイン及びチャネル領域となる島領域402を形成した。

次にゲート絶縁膜403を液体材料を用いて形成した。本実施例ではまずキシレンを溶剤とする5%濃度のポリシラザンを回転数2000rpmで基板に塗布

し、膜厚約1200Åの塗布膜を形成した。次に前記塗布膜を80℃30分のベークを行い溶剤を除去し、次に350℃で60分の熱処理を行いSiO<sub>2</sub>膜に変成しゲート絶縁膜403を形成した。前記350℃の熱処理は大気中で行ったが、酸素と水蒸気を含む雰囲気中で行うと、ゲート絶縁膜の電気特性やMOS界面特性が向上し薄膜トランジスタとしての信頼性も向上する。

次に液体材料を用いてゲート電極404を形成した。本実施例ではインジウムとスズを含有する有機化合物をキシレンを溶媒とした濃度8%の溶液を用い、回転数1500rpmで基板上に塗布膜を形成し、次に80℃の熱処理により溶媒を除去し、次に300℃の熱処理を行い膜厚2000ÅのITO膜を形成した。次にフォトリソグラフィにより第4図(c)に示すようにゲート電極404を得た。

次にイオン打込み法によりゲート電極404をマスクとしてソース・ドレイン領域405及び406を形成した。イオン打込みの条件はリンイオンを打込みエネルギー70KeV、打込み量 $1 \times 10^{15} / \text{cm}^2$ とした。尚、前記イオン打込みは前記ゲート電極の形成に用いたフォトリソグラフィをITO膜に残した状態で行った。

前記ソース・ドレイン領域の形成はイオン打込み法を使用しないで形成することもできる。まず、第4図(c)の構造において、ゲート電極404をマスクにしてソース・ドレイン領域上のゲート絶縁膜を除去する。次にSOG-PSG膜を塗布形成し、熱処理によりSOG-PSG膜中の溶媒の除去と該膜の緻密化をした後レーザアニールを行う。このときPSG膜中のリンが下層のシリコン膜に拡散しソース・ドレイン領域が形成される。その後は前記SOG-PSG膜は除去してもよいしそのまま残して層間絶縁膜の一部として利用してもよい。

次にポリシラザンを用いて第4図(d)に示す層間絶縁膜407を形成した。濃度10%のポリシラザン溶液を回転数1000rpmで基板上に塗布して塗布膜を形成する。次に80℃のベークを行い溶剤であるキシレンを除去し、次に350℃の熱処理を行い膜厚約5000ÅのSiO<sub>2</sub>膜を形成した。前記350℃の熱処理は酸素含有の雰囲気中で行ったが、酸素と水蒸気を含む雰囲気中で行うと、絶縁膜としての電気特性や信頼性をより向上させることが出来る。

次に前記層間絶縁膜407にコンタクトホールを開口した後、第4図(e)に

示すように液体材料を用いて電極層を形成した。本実施例では粒径数十Åの金微粒子を有機溶剤に分散させた懸濁液を用いた。該懸濁液を基板上に塗布して塗布膜を形成し、溶剤を除去した後200℃の熱処理を行い導電膜とし、次に第4図(e)に示すようにパターニングして電極408及び電極408'を形成した。

#### (実施例2)

本発明の第2の実施例を第5図に示す。第5図は本発明によるスタガ型薄膜トランジスタの製造工程の1例を示すものである。

第5図(a)において、501はガラス基板、502及び502'はソース・ドレイン領域となる不純物をドーブしたシリコン膜である。先ず、1、1'-ビス(シクロヘキサシラン)2gをトルエン10gに溶かした粘度8mPa・sの溶液をアルゴン雰囲気下でガラス基板401上にスピンコートし、150℃で乾燥した後、アルゴン中で450℃の熱処理を行い、膜厚65nmの金属シリコン膜を形成した。次に、エネルギー密度300mJ/cm<sup>2</sup>でレーザアニールを行い、多結晶シリコン膜を形成する。次にイオン打込みによりリンイオンを該多結晶シリコン膜に導入し、パターニングしてソース・ドレイン領域502及び502'を形成した。

尚、前記レーザアニールとイオン打込みの工程は、工程順序を逆にし、先にリンのイオン打込みを行い、次にレーザアニールを行っても良い。この順序で行うと打ち込まれたイオンの活性化とシリコン膜の結晶化を同時に行うことができる。

また、ソース・ドレイン領域となる不純物をドーブしたシリコン膜の形成において、イオン打込み法を使用しない方法としてPSG膜を利用する方法がある。前述のようにケイ素化合物の塗布膜から多結晶シリコン膜を形成した後、SOG-PSG膜を塗布形成し、熱処理でSOG-PSG膜中の溶媒を除去し、レーザアニールを行う。このときPSG膜中のリンが下層のシリコン膜に拡散し、不純物ドーブのシリコン膜を形成することができる。その後は不要となったSOG-PSG膜を除去して第5図(a)の構造を得る。尚、レーザアニール工程は、前記ケイ素化合物の塗布膜を形成し溶媒を除去した後、SOG-PSG膜を形成してから行ってもよい。



次に第5図(b)に示すようにチャネル領域となるシリコン膜503を形成する。まず、シリシクロペンタシラン2gをトルエン10gに溶かし粘度7mPa・s塗布溶液を調製し、次にこの溶液をアルゴン雰囲気下で基板上にスピコートし150℃で乾燥した後、水素3%含有アルゴン中で450℃で熱分解を行い、膜厚50nmの金属シリコン膜を形成する。次にエネルギー密度250mJ/cm<sup>2</sup>でレーザアニールを行い、多結晶シリコン膜を形成した。次に第5図(b)に示すようにフォトリソエッチングによりソース・ドレインと接続するようにチャネル領域となる島領域503を形成した。

次に第5図(c)に示すように液体材料によりゲート絶縁膜504を形成する。まず、5%濃度のポリシラザンを回転数2000rpmで基板上に塗布し、膜厚約1200Åの塗布膜を形成する。次に前記塗布膜を350℃で30分の熱処理を行いSiO<sub>2</sub>膜に変成しゲート絶縁膜504を形成した。

次に第5図(d)に示すように液体材料によりゲート電極505を形成する。まず、インジウムとスズを含有する有機化合物をキシレンを溶媒とした濃度8%の溶液を用い、回転数1500rpmで基板上に塗布膜を形成する。次に80℃の熱処理により溶媒を除去し、次に300℃の熱処理を行い膜厚2000ÅのITO膜を形成した。次にフォトリソエッチングにより第5図(c)に示すようにゲート電極504を形成した。尚、前記300℃の熱処理において、300℃で30分の熱処理を行った後、引き続き水素含有の還元雰囲気中で基板を200℃まで冷却した後大気中に取り出し、抵抗の低いITO膜を形成するようにした。

次に第5図(e)に示すように液体材料を用いて層間絶縁膜506を形成する。まず濃度10%の溶液を回転数1000rpmで基板上に塗布して塗布膜を形成する。次に80℃のベークを行い溶剤であるキシレンを除去し、次に350℃の熱処理を行い膜厚約5000ÅのSiO<sub>2</sub>膜を形成した。

次に第5図(f)に示すように前記層間絶縁膜506にコンタクトホールを開孔した後、液体材料を用いて電極507及び507'を形成した。本実施例ではITO膜により電極を形成した。まず、インジウムとスズを含有する有機化合物をキシレンを溶媒とした濃度8%の溶液を用い、回転数1500rpmで基板上に

塗布膜を形成する。次に80℃の熱処理により溶媒を除去し、次に300℃の熱処理を行い膜厚約2000ÅのITO膜を形成した。次にフォトリソエッチングにより第5図(f)に示すように電極507及507'を形成した。

### (実施例3)

本発明の第3の実施例を第6図に示す。第6図は本発明による逆スタガ型薄膜トランジスタの製造工程の1例である。先ず、第6図(a)に示すようにガラス基板601上にゲート電極602を形成する。本実施例では無電解メッキ法によりゲート電極を形成した。メッキ液にはナトリウムフリーのニッケルメッキ液を用いて、膜厚約4000Åのニッケル膜を基板上に形成した。ニッケル膜の成長はメッキ液に基板を浸漬してニッケルを析出させることにより行われるが、その前処理工程として基板の表面洗浄やアクチベータ処理がある。前記前工程処理では通常ナトリウムが含有された溶液を用いるが、本発明ではこれらの前工程処理にナトリウムフリーの溶液を用いて行った。ニッケル膜のパターニングは通常のフォトリソエッチング法により行い、ニッケルのエッチング液は硝酸と水酢酸の混酸を用いて行った。

次に第6図(b)に示すように液体材料を用いてゲート絶縁膜603を形成した。先ず、5%濃度のポリシラザンを回転数2000rpmで基板に塗布し、膜厚約1200Åの塗布膜を形成する。次に前記塗布膜中の溶剤を除去する熱処理を80℃で行い、次に350℃で30分の熱処理を行いSiO<sub>2</sub>膜に変成しゲート絶縁膜603とした。

次に第6図(c)に示すように液体材料を用いてチャネル層となるシリコン膜604を形成する。先ず、ヘキサシラプリズマン(化合物1)2gをトルエン10gに溶かし粘度10mPa・sの塗布溶液を調製し、この溶液を3%水素含有アルゴン雰囲気下で基板上にスピンコートし塗布膜を形成した。次に、基板温度は室温のまま500Wの高圧水銀ランプで紫外線を5分間照射し、前記塗布膜をポリヒドロシランからなる固着膜とし、この固着膜を引き続き水素3%含有アルゴン中で500℃で加熱し、膜厚50nmの金属シリコン膜を形成した。次に、エネルギー密度250 mJ/cm<sup>2</sup>でレーザアニールを行い前記シリコン膜を結晶化

し多結晶シリコン膜を形成した。

次に第6図(d)に示すように、液体材料を用いてチャネル保護膜となる絶縁膜605とソース・ドレイン領域となる不純物ドーパのシリコン膜606および606'を形成する。チャネル保護膜は例えば前記ゲート電極と同様にポリシラザンを用いて形成することが出来る。ソース・ドレイン領域となる不純物ドーパのシリコン膜の形成は、第5図(a)に示したソース・ドレイン領域の形成と同じ方法が採用できる。本実施例ではイオン打込みを使用しない方法で形成した。即ち、ケイ素化合物の塗布膜からシリコン膜を形成した後、SOG-PSG膜を塗布形成し、熱処理で溶媒を除去し、レーザアニールを行う。このときPSG膜中のリンが下層のシリコン膜に拡散する。その後は不要となったSOG-PSG膜を除去して第6図(d)の構造を得る。尚、レーザアニール工程は、前記ケイ素化合物の塗布膜を形成し溶媒を除去した後、SOG-PSG膜を形成してから行ってもよい。

次に第6図(e)に示すように液体材料により電極607および607'を形成する。本実施例ではITO膜を電極として形成した。先ず、インジウムとスズを含有する有機化合物をキシレンを溶媒とした濃度8%の溶液を用い、回転数1500rpmで基板上に塗布膜を形成する。次に80℃の熱処理により溶媒を除去し、次に300℃の熱処理を行い膜厚約2000ÅのITO膜を形成した。次にフォトリソグラフィにより第6図(e)に示すように電極607及び607'を得た。尚、前記熱処理において、300℃で30分乃至60分程度の熱処理を行った後、引き続き水素含有の還元雰囲気中で基板を150℃程度まで冷却した後大気中に取り出し、ITO膜の抵抗をより低減するようにした。また、ITOで形成した電極は透明電極であり液晶表示装置などで必要となる画素電極としても利用できる。

本発明における薄膜トランジスタの製造方法は、薄膜トランジスタを構成するシリコン膜、絶縁膜、導電膜の各薄膜の全部または一部の薄膜を液体材料を用いて形成する。その主たる方法は、液体材料を基板に塗布して塗布膜を形成し、該塗布膜を熱処理することにより所望の薄膜を形成するものである。従って、従来

のCVD法やスパッタ法による成膜方法が本質的に内在している様々な課題を解決するものであり、小型で安価な装置により、生産性が高く、欠陥が少なく、歩留まりが高く、段差部の被覆性がよく、低コストで薄膜形成ができ、従って低コストで薄膜トランジスタを製造することができる。

---

## 請 求 の 範 囲

(1) シリコン膜と、ゲート絶縁膜と、ゲート電極用導電膜と、層間絶縁膜と、電極及び配線用導電膜の各薄膜を有する薄膜トランジスタの製造方法において、前記シリコン膜の形成がシリコン原子を含む液体材料を塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程及び／または光照射工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

(2) シリコン膜と、ゲート絶縁膜と、ゲート電極用導電膜と、層間絶縁膜と、電極及び配線用導電膜と、透明導電膜の各薄膜を有する薄膜トランジスタの製造方法において、前記シリコン膜の形成がシリコン原子を含む液体材料を塗布して塗布膜を形成する工程と、次に該塗布膜をシリコン膜にする熱処理工程及び／または光照射工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

(3) 絶縁基板または絶縁膜上に、シリコン原子を含む液体材料を塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜にする熱処理工程及び／または光照射工程と、該シリコン膜をパターニングしてソース、ドレイン及びチャネルとなる島領域を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、ソース、ドレイン領域に不純物を導入する工程と、層間絶縁膜を形成する工程と、層間絶縁膜にコンタクトホールを開口する工程と、電極及び配線を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

(4) 絶縁基板または絶縁膜上に、ソース、ドレイン領域となる不純物含有の半導体層を形成する工程と、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜にする熱処理工程及び／または光照射工程と、該シリコン膜をパターニングして前記ソース、ドレイン領域と接続するチャネル領域となる島領域を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、次に層間絶縁膜を形成する工程と、層間絶縁膜にコンタクトホールを開口する工程と、電極及び配線を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

(5) 絶縁基板または絶縁膜上に、ゲート電極を形成する工程と、ゲート絶縁膜

を形成する工程と、シリコン原子を含む液体材料を基板に塗布して塗布膜を形成する工程と、該塗布膜をシリコン膜にする熱処理工程及び／または光照射工程と、ソース、ドレイン領域となる不純物含有の半導体層を形成する工程と、電極及び配線を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

(6) 前記熱処理工程は、前記塗布された液体材料を非晶質シリコン膜とする第1の熱処理工程及び／または光照射工程と、前記非晶質シリコン膜を多結晶シリコン膜にする第2の熱処理工程からなることを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(7) 前記第1の熱処理及び／または光照射工程は、波長が170 nm以上380 nm以下の光照射工程を含むことを特徴とする請求の範囲第6項のいずれかに記載の薄膜トランジスタの製造方法。

(8) 前記第1の熱処理工程は、シリコン原子を含む液体材料により形成された塗布膜に含まれている溶媒を除去する工程と、次に前記溶媒を除去する工程より高い温度で熱処理して前記塗布膜を非晶質シリコン膜とする工程とからなることを特徴とする請求の範囲第6項記載の薄膜トランジスタの製造方法。

(9) 前記第2の熱処理工程は、ランプアニールまたはレーザアニールなどの強光による熱処理工程を含むことを特徴とする請求の範囲第6項記載の薄膜トランジスタの製造方法。

(10) 前記ランプアニールまたはレーザアニールなどの強光による熱処理工程は、酸素を含まない雰囲気下で行うことを特徴とする請求の範囲第1項乃至第6項記載の薄膜トランジスタの製造方法。

(11) 前記ゲート絶縁膜の形成工程は、基板にポリシラザンを塗布する工程と、次に熱処理により塗布されたポリシラザンをSiO<sub>2</sub>膜とする工程と、を含むことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(12) 前記ゲート電極の形成工程は、金属含有の液体材料を基板に塗布して塗布膜を形成する工程と、次に熱処理により該塗布膜を金属膜とする工程と、次に該金属膜をパターニングする工程と、を含むことを特徴とする請求の範囲第1項

乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(13) 前記ゲート電極の形成工程は、メッキ法により基板に金属膜を形成する工程と、次に該金属膜をパターニングする工程と、を含むことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(14) 前記ゲート電極の形成工程は、基板にインジウムとスズを含む有機化合物を塗布して塗布膜を形成する工程と、該塗布膜をITO (Indium-Tin-Oxide) 膜にする熱処理工程と、を含むことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(15) 前記層間絶縁膜の形成工程は、基板にポリシラザンを塗布する工程と、次に熱処理によりポリシラザンを $\text{SiO}_2$ 膜とする工程と、を含むことを特徴とする請求の範囲第1項乃至第5項に記載の薄膜トランジスタの製造方法。

(16) 前記電極及び配線を形成する工程は、金属含有の液体材料を基板に塗布して塗布膜を形成する工程と、次に熱処理により該塗布膜を金属膜とする工程と、次に該金属膜をパターニングする工程と、を含むことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の膜トランジスタの製造方法。

(17) 前記電極及び配線を形成する工程は、メッキ法により基板に金属膜を形成する工程と、次に該金属膜をパターニングする工程と、を含むことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載の薄膜トランジスタの製造方法。

(18) 前記電極及び配線を形成する工程は、基板にインジウムとスズを含む有機化合物を塗布して塗布膜を形成する工程と、該塗布膜をITO (Indium-Tin-Oxide) 膜にする熱処理工程からなることを特徴とする請求の範囲第1項乃至請求の範囲第5項のいずれかに記載の薄膜トランジスタの製造方法。

(19) 前記透明導電膜を形成する工程は、基板にインジウムとスズを含む有機化合物を塗布して塗布膜を形成する工程と、該塗布膜をITO (Indium-Tin-Oxide) 膜にする熱処理工程からなることを特徴とする請求の範囲第2項記載の薄膜トランジスタの製造方法。

(20) 前記シリコン原子を含む液体材料は、一般式 $\text{Si}_n\text{X}_m$  (ここで、 $n$ は5以上の整数を表し $m$ は $n$ または $2n-2$ または $2n$ の整数を表し、 $X$ は水素原子

および／またはハロゲン原子を表す)で表される環系を有するケイ素化合物を含んでいることを特徴とする請求の範囲第1項乃至請求の範囲第5項のいずれかに記載の薄膜トランジスタの製造方法。

(21) 前記一般式  $Si_nX_m$  で表される環系を有するケイ素化合物は、 $n$  が5以上で20以下の整数であることを特徴とする請求の範囲第20項記載の薄膜トランジスタの製造方法。

(22) 前記一般式  $Si_nX_m$  で表される環系を有するケイ素化合物を含有する溶液は、溶質濃度が1~80重量%であることを特徴とする請求の範囲第20項記載の薄膜トランジスタの製造方法。

(23) 前記一般式  $Si_nX_m$  で表される環系を有するケイ素化合物を含有する溶液は、粘度が1~100 mPa・sであることを特徴とする請求の範囲第20項記載の薄膜トランジスタの製造方法。

(24) 前記一般式  $Si_nX_m$  で表される環系を有するケイ素化合物を含有する溶液は、室温における蒸気圧が0.001~100 mmHgであることを特徴とする請求の範囲第20項記載の薄膜トランジスタの製造方法。

(25) 前記一般式  $Si_nX_m$  で表される環系を有するケイ素化合物を含有する溶液は、溶媒が炭化水素系溶媒であることを特徴とする請求の範囲第20項又は第21項記載の薄膜トランジスタの製造方法。

(26) シリコン膜と、ゲート絶縁膜と、ゲート電極用導電膜と、層間絶縁膜と、電極及び配線用導電膜の各薄膜を有する薄膜トランジスタの製造方法において、前記総ての薄膜は液体材料を用いて形成され、且つ該総ての薄膜の形成において真空装置を用いない方法で形成されることを特徴とする薄膜トランジスタの製造方法。

(27) シリコン膜、ゲート絶縁膜、ゲート電極用導電膜、層間絶縁膜、電極及び配線用導電膜、透明導電膜の各薄膜を有する薄膜トランジスタの製造方法において、前記総ての薄膜は液体材料を用いて形成され、且つ該総ての薄膜の形成において真空装置を用いない方法で形成されることを特徴とする薄膜トランジスタの製造方法。

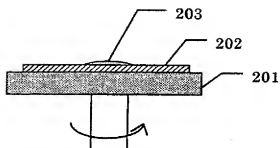


1/4

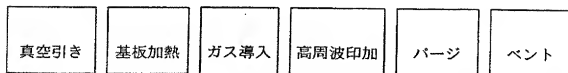
第 1 図



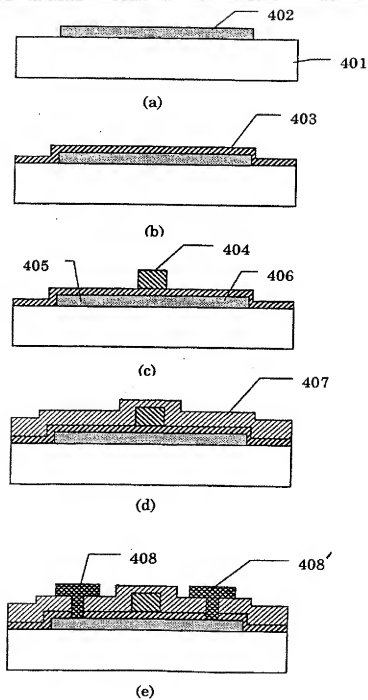
第 2 図



第 3 図

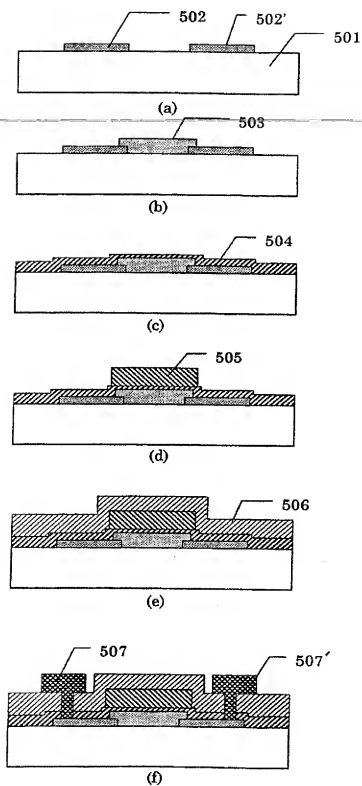


第 4 図

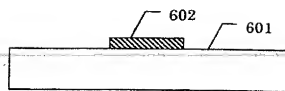


3/4

第 5 図



第 6 図



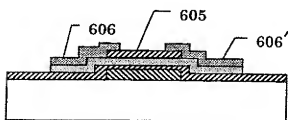
(a)



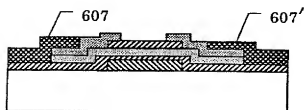
(b)



(c)



(d)



(e)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JPO0/01985

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/786, H01L21/336, H01L21/208, H01L21/316,  
H01L21/288, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/786, H01L21/336, H01L21/205, H01L21/208,  
H01L21/316, H01L21/288, G02F1/1368, C23C16/44,  
C23C18/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1992-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE (JOIS)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.                      |
|-----------|---|--|
| X         | JP, 9-45922, A (SHOWA DENKO K.K.),<br>14 February, 1997 (14.02.97),<br>Full text (Family: none)   | 1-6, 8-10,<br>20-25<br>7, 11-19, 26,<br>27 |
| Y         | JP, 5-144741, A (SHOWA DENKO K.K.),<br>11 June, 1993 (11.06.93),<br>Full text (Family: none)  | 7  |
| Y         | US, 5500537, A (Mitsubishi Denki Kabushiki Kaisha),<br>19 March, 1996 (19.03.96),<br>Column 3, lines 22 to 39; Column 3, lines 50 to 65<br>& JP, 3-255669, A<br>page 5, upper left column, line 3 to page 5, upper right<br>column, line 1; page 5, upper right column, line 12 to<br>page 5, lower left column, line 8 | 11-14, 16-19, 26<br>, 27                   |
| Y         | JP, 10-161140, A (NEC Corporation),<br>19 June, 1998 (19.06.98),<br>page 8, left column, lines 38 to 40<br>& US, 6043859, A & KR, 98042890, A   | 11, 26, 27                                 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

|   |   |
|---|---|
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not<br>considered to be of particular relevance<br>"E" earlier document but published on or after the international filing<br>date<br>"L" document which may throw doubts on priority claim(s) or which is<br>cited to establish the publication date of another citation or other<br>special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other<br>means<br>"P" document published prior to the international filing date but later<br>than the priority date claimed | "T" later document published after the international filing date or<br>priority date and not in conflict with the application but cited to<br>understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be<br>considered novel or cannot be considered to involve an inventive<br>step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be<br>considered to involve an inventive step when the document is<br>combined with one or more other such documents, such<br>combination being obvious to a person skilled in the art<br>"Z" document member of the same patent family |
|---|---|

Date of the actual completion of the international search  
27 June, 2000 (27.06.00)

Date of mailing of the international search report  
11 July, 2000 (11.07.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01985

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| Y         | JP, 11-8395, A (NEC Corporation),<br>12 January, 1999 (12.01.99),<br>page 12, right column, lines 12 to 21<br>& KR, 98081626, A | 15, 26, 27            |
| Y         | JP, 4-81820, A (Hitachi, Ltd.),<br>16 March, 1992 (16.03.92),<br>page 3, upper right column, lines 5 to 20 (Family: none)       | 19, 27                |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl. H01L29/786, H01L21/336, H01L21/208, H01L21/316, H01L21/288, G02F1/1368

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl. H01L29/786, H01L21/336, H01L21/205, H01L21/208, H01L21/316, H01L21/288, G02F1/1368, C23C16/44, C23C18/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1992-1996年  
 日本国公開実用新案公報 1971-2000年  
 日本国登録実用新案公報 1994-2000年  
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリ* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                  | 関連する<br>請求の範囲の番号 |
|----------------|--|------------------|
| X              | JP, 9-45922, A (昭和電工株式会社) 14. 2月. 1997 (14. 02. 97), 全文 (ファミリーなし)  | 1-6, 8-10, 20-25 |
| Y              |  | 7, 11-19, 26, 27 |
| Y              | JP, 5-144741, A (昭和電工株式会社) 11. 6月. 1993 (11. 06. 93), 全文 (ファミリーなし) | 7                |

☒ C欄の続きにも文献が挙示されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

27. 06. 00

国際調査報告の発送日

11.07.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4M

9056

電話番号 03-3581-1101 内線 3462

| C (続き) 関連すると認められる文献 |  |                      |
|---------------------|--|----------------------|
| 引用文献の<br>カテゴリー*     | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号     |
| Y                   | US, 5500537, A (Mitsubishi Denki Kabushiki Kaisha) 19. 3月. 1996 (19. 03. 96), 第3欄第22-39行, 第3欄第50-65行<br>& JP, 3-255669, A, 第5頁左上欄第3行-同頁右上欄第1行, 第5頁右上欄第12行-同頁左下欄第8行 | 11-14, 16-19, 26, 27 |
| Y                   | JP, 10-161140, A (日本電気株式会社) 19. 6月. 1998 (19. 06. 98), 第8頁左欄第38-40行<br>& US, 6043859, A<br>& KR, 98042890, A   | 11, 26, 27           |
| Y                   | JP, 11-8395, A (日本電気株式会社) 12. 1月. 1999 (12. 01. 99), 第12頁右欄第12-21行<br>& KR, 98081626, A  | 15, 26, 27           |
| Y                   | JP, 4-81820, A (株式会社日立製作所) 16. 3月. 1992 (16. 03. 92), 第3頁右上欄第5-20行 (フエミリーなし)   | 19, 27               |